

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2001-196341

(43)Date of publication of application : 19.07.2001

(51)Int.Cl.

H01L 21/304

H01L 21/306

(21)Application number : 2000-002910

(71)Applicant : MITSUBISHI MATERIALS SILICON  
CORP

(22)Date of filing : 11.01.2000

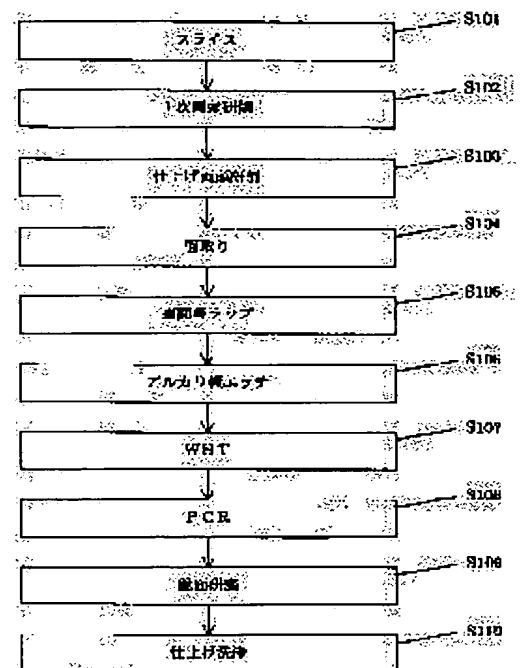
(72)Inventor : HARADA SEISHI

## (54) METHOD OF MANUFACTURING SEMICONDUCTOR WAFER

### (57)Abstract:

**PROBLEM TO BE SOLVED:** To provide a method of manufacturing semiconductor wafer by which the flatness of the polished surface of a wafer can be improved and the polishing amount and, in its turn, the whole machining margin of the surface of the wafer can be reduced.

**SOLUTION:** In the method of manufacturing semiconductor wafer, both the front and rear surfaces of the silicon wafer are low-damage ground by using a low-damage grinding wheel in the final duplex grinding step. Consequently, the front and rear surfaces of the wafer become highly flat. Then the rear surface of the wafer is finished to a satin surface in a rear-surface light wrapping step and lightly etched with an alkaline etchant in the next alkaline light etching step. Accordingly, the high flatness of the rear surface is maintained even after the etching and the polishing amount of the surface in a succeeding polishing becomes smaller. Consequently, a highly flat wafer is obtained as a product. In addition, since the wafer is manufactured through these steps in which not only working damages but also machining margins are relatively less, the total machining margin of the wafer can also be reduced.



**\* NOTICES \***

JPO and INPIT are not responsible for any damages caused by the use of this translation.

1.This document has been translated by computer. So the translation may not reflect the original precisely.

2.\*\*\*\* shows the word which can not be translated.

3.In the drawings, any words are not translated.

---

**CLAIMS**

---

[Claim(s)]

[Claim 1]A manufacturing method of a semiconductor wafer characterized by comprising the following. Both head grinding operation that grinds simultaneously to rear surface both sides of a sliced semiconductor wafer.

\*\*\*\*\* lapping operation which performs wrapping processing to a rear face of a semiconductor wafer lightly after both head grinding operation, and makes a rear face of a semiconductor wafer a crepe side. An alkali \*\* dirty process of etching a semiconductor wafer lightly with an alkaline etching reagent after \*\*\*\*\* lapping operation.

A mirror-polishing process of carrying out mirror polishing of the surface of a semiconductor wafer after an alkali \*\* dirty process.

[Claim 2]A manufacturing method of the semiconductor wafer according to claim 1 characterized by comprising the following.

1st order both head grinding to which both the above-mentioned head grinding operation performs comparatively coarse grinding to rear surface both sides of a semiconductor wafer.

Finishing both head grinding that grinds a low damage using a grinding stone for low damages.

[Claim 3]A manufacturing method of the semiconductor wafer according to claim 2 in which 1st order both the above-mentioned head grinding is performed using a grinding stone of #300 – #600.

[Claim 4]A manufacturing method of the semiconductor wafer according to claim 2 or 3 in which finishing both the above-mentioned head grinding is performed using a resinoid grinding wheel of #2000 – #4000.

[Claim 5]A manufacturing method of a semiconductor wafer given in any 1 paragraph of claims 1 – claims 4 to which the above-mentioned \*\*\*\*\* lapping operation is performed using a lap device of single wafer processing, and the above-mentioned mirror-polishing process is performed using a polish device of single wafer processing.

[Claim 6]A manufacturing method of a semiconductor wafer given in any 1 paragraph of claims 1 – claims 5 to which only a thickness of 2–3 micrometers wraps a rear face of a semiconductor wafer in the above-mentioned \*\*\*\*\* lapping operation.

[Claim 7]A manufacturing method of a semiconductor wafer given in any 1 paragraph of claims 1 – claims 6 whose above-mentioned alkali \*\* dirty process is a process of etching 2–3 micrometers of semiconductor wafers on one side.

---

[Translation done.]

**\* NOTICES \***

JPO and INPIT are not responsible for any damages caused by the use of this translation.

1.This document has been translated by computer. So the translation may not reflect the original precisely.

2.\*\*\*\* shows the word which can not be translated.

3.In the drawings, any words are not translated.

---

**DETAILED DESCRIPTION**

---

[Detailed Description of the Invention]

[0001]

[Field of the Invention]This invention relates to the manufacturing method of a semiconductor wafer, and the manufacturing method of the semiconductor wafer which it is high flatness including both the head grinding process in detail, and has few wafer processing machining allowances.

[0002]

[Description of the Prior Art]The manufacturing method of the conventional silicon wafer is explained with reference to the flow chart of drawing 2. First, in a slice step (S201), a silicon wafer is sliced from an ingot. In the following chamfering process (S202), chamfering work is performed to the peripheral part of this silicon wafer. In the continuing lapping process (S203), lap processing is performed to rear surface both sides of the silicon wafer with a lapping machine. In this case, 40 micrometers is wrapped on one side and about 80 micrometers is usually wrapped by both sides.

[0003]And in the following acid etching process (S204), a RAPPUDO wafer is immersed in predetermined acidic etchant (for example, mixed acid), and distortion by the lap processing, distortion by a chamfering process, etc. are removed. Etching quantity etches 20 micrometers on one side, and usually etches about 40 micrometers by both sides. Then, the WHT (WaferHeat Treatment) process (S205) which is a kind of donor killer heat treatment is given to a silicon wafer. Then, the PCR process of carrying out mirror finish of the peripheral part of a silicon wafer is performed (S206). And this silicon wafer is pasted up on a grinder using a wax, and mirror polishing is given to a wafer surface (S207). The polishing quantity at this time is about 12 micrometers. And it passes through the last finishing washing process (S208), after removing the wax adhering to the rear face of the silicon wafer, etc. The above-mentioned mirror polishing may be performed by wax loess.

[0004]

[Problem(s) to be Solved by the Invention]However, if it was in the manufacturing method of such a conventional silicon wafer, as mentioned above, acid etching was performed after wrapping of a silicon wafer using mixed acid. While it has the advantage that reactivity of acid etching with a silicon wafer is high, and an etch rate is comparatively quick, During etching, it was generated by a lot of air bubbles, and the comparatively big wave occurred in the wafer surface under the influence, or comparatively big sagging occurred in the wafer peripheral part, and these were reducing display flatness. Therefore, in the polishing process, in order to raise this display flatness, if the part of that wave or sagging was not ground, the polishing quantity of \*\*\*\* and a wafer surface became large with about 12 micrometers, and the time concerning polish was long. And the display flatness by the conventional polish was about 0.4 micrometer in the difference (SBIR) of the height of a back side reference at the site with site display flatness, for example, an area of 25 mm x 25 mm.

[0005]And the machining allowance at the time of each processing of a silicon wafer was one side, respectively, it was 40 micrometers in lap amount, 20 micrometers in the amount of acid etching, and 12 micrometers in polishing quantity, and the processing machining allowances of all the were comparatively as large as about 132 micrometers. Each of lapping devices used by lapping operation and a polishing process and polish devices was usually devices of the batch type which processes several Oshi's silicon wafer collectively. In this batch type, the silicon wafer of two or more sheets must be built into the wafer mounting hole of a carrier plate by a worker's handicraft. As a result, no manufacturing processes of this semiconductor wafer were able to be automated in assembly line.

[0006]

[Objects of the Invention] This invention can attain high flatness-ization and sets it as that purpose to provide the manufacturing method of the semiconductor wafer which can moreover decrease the polishing quantity and by extension, all the processing machining allowances of a wafer surface. This invention sets it as that purpose to provide the manufacturing method of the semiconductor wafer which can automate semiconductor wafer manufacture fully.

[0007]

[Means for Solving the Problem] Both head grinding operation with which the invention according to claim 1 grinds simultaneously to rear surface both sides of a sliced semiconductor wafer, Wrapping processing is lightly performed to a rear face of a semiconductor wafer after both head grinding operation, \*\*\*\*\* lapping operation which makes a rear face of a semiconductor wafer a crepe side, and an alkali \*\* dirty process of etching a semiconductor wafer lightly with an alkaline etching reagent after \*\*\*\*\* lapping operation, It is a manufacturing method of a semiconductor wafer provided with a mirror-polishing process of carrying out mirror polishing of the surface of a semiconductor wafer, after an alkali \*\* dirty process.

[0008] Both head grinding operation finishes at least finishing both head grinding of a low damage with 1st order both head grinding, and may comprise both head grinding. It may finish with 1st order both head grinding, and secondary grinding may be added between both head grinding. For example, both head grinding attachment by NIPPEI TOYAMA CORP. can be used. This device is provided with a grinding stone which carried out the metal bond of the abrasive grain of #2000, and performs grinding of not less than 80 micrometers. A grinding damage in this head grinding of both may be 2 micrometers or less. If a damage is serious, polishing quantity in a next mirror-polishing process will increase. When this polishing quantity exceeds 10 micrometers, a semiconductor wafer of high flatness also has comparatively a possibility that GBIR of a wafer surface may fall. This is for display flatness to fall in a place with the polishing quantity of greater than about 10 micrometers, when the surface grinds a silicon wafer of high flatness further.

[0009] A grinding amount of finishing both head grinding is usually about 20 micrometers by rear surface both sides. As both head grinding attachment for finishing used for this finish grinding, reversal type both head grinding attachment, double-sided simultaneous grinding attachment, etc. are employable, for example. A resinoid grinding wheel which combined a diamond abrasive grain by using a good synthetic resin as a binding material as a grinding stone incorporated, for example is employable. However, it is better for there not to be a wafer surface easily and to use a grinding stone of the high yarn count which can be ground even in a wafer surface which is moreover a non-damage side in this head grinding of finishing both. For example, a resinoid grinding wheel of #1000 - #8000 can be used. Since low damage grinding is performed before polish, high flatness can be obtained in a wafer surface after this grinding. Since polishing quantity can be lessened, a high throughput can be obtained.

[0010] A \*\*\*\*\* lap here means wrapping on a rear face of a wafer with few lap amounts than the conventional lap amount (40 micrometers of one side). However, this lap amount is not limited. Display flatness of a crepe side appeared with this \*\*\*\*\* lap is not limited, either. 3 micrometers or less of working damages here are 1 micrometer or less preferably. As an alkaline etching reagent for alkali \*\* dirty processes, KOH, NaOH, etc. are mentioned, for example. An PCR process for making heat treatment processes (WHT process etc.) and a beveled surface for eliminating an oxygen donor mirror-plane-ize may be added after this alkali \*\* dirty process. As a heat treatment condition in a heat treatment process, cooking temperature at 600-1100 \*\* and 5 to 900 sec of cooking time are mentioned, for example. A clean air, oxygen, nitrogen, etc. are employable as a controlled atmosphere. As an PCR processing device, a urethane buff of cylindrical shape is rotated, for example, a peripheral face of a semiconductor wafer adsorbed and held can be contacted to a retainer board, and what carries out mirror surface finish of this peripheral face can be adopted as a buff peripheral face under this rotation.

[0011] Polishing quantity in a mirror-polishing process is not limited. Usually, it becomes smaller than 24 micrometers by 12 micrometers of conventional one side, and both sides. As abrasive cloth used, a pad etc. which impregnate and stiffened urethane resin are mentioned, for example to a hard urethane foam pad and a nonwoven fabric. That a surface and rear surface of a semiconductor wafer here is high flatness means being 0.4 micrometer or less in a difference (SBIR) of height of a back side reference at a site with site display flatness, for example, an area of 25 mm x 25 mm.

[0012] The invention according to claim 2 is a manufacturing method of the semiconductor wafer according to claim 1 in which both the above-mentioned head grinding operation consists of 1st order

both head grinding that carries out comparatively coarse grinding to rear surface both sides of a semiconductor wafer, and finishing both head grinding that grinds a low damage using a grinding stone for low damages. A grinding amount in 1st order both head grinding is usually 60–80 micrometers. As both head grinding attachment for 1st order both head grinding, reversal type both head grinding attachment etc. can be used, for example. A kind of grinding stone built into both this head grinding attachment and its yarn count are not limited.

[0013]The invention according to claim 3 is a manufacturing method of the semiconductor wafer according to claim 2 in which 1st order both the above-mentioned head grinding is performed using a grinding stone of #300 – #600. For example, a metal bonded grinding wheel is used. # A working damage is too serious at less than 300. If #600 is exceeded, blinding of a grinding stone will arise.

[0014]The invention according to claim 4 is a manufacturing method of the semiconductor wafer according to claim 2 or 3 in which finishing both the above-mentioned head grinding is performed using a resinoid grinding wheel of #2000 – #4000. # A working damage is too serious at less than 2000. If #4000 is exceeded, blinding of a grinding stone will arise. As a grinding stone for finishing both head grinding, a resinoid grinding wheel of #1500 by disco incorporated company – #3000 is mentioned, for example. For example, a grinding stone of the high yarn count of resinoid #2000 of a product name "IF-01-1-4 / 6-B-M01" can be used.

[0015]The above-mentioned \*\*\*\*\* lapping operation is a manufacturing method of a semiconductor wafer given in any 1 paragraph of claims 1 – claims 4 for which the invention according to claim 5 is performed using a lap device of single wafer processing, and the above-mentioned mirror-polishing process is performed using a polish device of single wafer processing. It is possible to use a sheet type of a single side lapping machine.

[0016]The invention according to claim 6 is a manufacturing method of a semiconductor wafer given in any 1 paragraph of claims 1 – claims 5 to which only a thickness of 2–3 micrometers wraps a rear face of a semiconductor wafer in the above-mentioned \*\*\*\*\* lapping operation. A \*\*\*\*\* damage remains in less than 2 micrometers. If it exceeds 3 micrometers, display flatness will get worse.

[0017]An invention of claim 7 is a manufacturing method of a semiconductor wafer given in any 1 paragraph of claims 1 – claims 6 whose above-mentioned alkali \*\* dirty process is a process of etching 2–3 micrometers of semiconductor wafers on one side. A working damage remains in less than 2 micrometers. If it exceeds 3 micrometers, some inconvenience that a pit becomes large will arise.

[0018]

[Function]According to this invention, finishing both final head grinding is performed as grinding of the low damage by the grinding stone for low damages among both head grinding operations. Thereby, compared with the semiconductor wafer after lap processing of conventional rear surface both sides, a wafer surface and rear surface serves as high flatness. Then, a rear face is processed on a crepe side by \*\*\*\*\* lapping operation, and slight etching is performed using the alkaline etching reagent in which etching accuracy high subsequently is acquired. Compared with the conventional acid etching, an etching surface is that of a stake at that, and alkali etching is held even after the high display flatness state of a semiconductor wafer etching. While the polishing quantity of the wafer surface in the mirror-polishing process which is the post process decreases by this, high flatness-ization of a semiconductor wafer can be attained. In this way, one by one, since the process [ say / both head grinding, \*\*\*\*\* wrapping, alkali \*\* etching, and mirror polishing ] of a working damage being comparatively small and decreasing also as for a processing machining allowance is given and the semiconductor wafer was manufactured, As compared with the method of giving the process to which a working damage is comparatively serious and a processing machining allowance also becomes large of conventional double-sided wrapping, acid etching, and mirror polishing, all the processing machining allowances of a semiconductor wafer can be decreased.

[0019]In particular, according to the invention according to claim 5, the \*\*\*\*\* lap device of single wafer processing or the polish device of single wafer processing into which it processes one semiconductor wafer at a time, respectively performs \*\*\*\*\* lapping operation and a mirror-polishing process. Thereby, with the batch type device which is the conventional general-purpose article, the point which needed the handicraft which builds a semiconductor wafer into a carrier plate for a part of operation is thoroughly solvable. As a result, full automation of manufacture of a semiconductor wafer is attained.

[0020]

[Embodiment of the Invention]Hereafter, the example of this invention is described with reference to

drawings. Drawing 1 is a flow chart which shows the manufacturing method of the semiconductor wafer concerning one example of this invention. If it is in this example as shown in drawing 1, a semiconductor wafer is produced through each process of a slice, 1st order both head grinding, finishing both head grinding, camfering, a \*\*\*\*\* lap, alkali \*\* dirty, WHT (heat treatment), PCR, mirror polishing, and finishing washing. Hereafter, each process is explained in detail.

[0021]The silicon ingot which was able to be pulled up by the CZ process is a slice step (S101), and is sliced by the 8-inch silicon wafer about 860 micrometers thick. next, 1 order car head grinding attachment which this sliced wafer is 1 order car head grinding operation (S102), and was provided with the #600 No. metal bonded grinding wheel — oh, \*\*\*\*\* grinding is carried out. The grinding amount at this time is about 80 micrometers in all about 40 micrometers and a surface and rear surface on wafer one side. reversal type both this head grinding attachment ground for every one side as 1 order car head grinding attachment, or both sides — the double-sided simultaneous grinding attachment etc. which are ground simultaneously are mentioned.

[0022]Then, finishing both the head grinding operation is performed (S103). Specifically, both head grinding is minutely carried out by finishing both the head grinding attachment that carries a #2000 No. resinoid grinding wheel. The grinding amount at this time is about 20 micrometers in all about 10 micrometers and a surface and rear surface on one side. A working damage is about 1–2 micrometers. The double-sided simultaneous grinding attachment etc. which carry out finish grinding to reversal type both the head grinding attachment or double-sided coincidence which carries out finish grinding for every one side as finishing both head grinding attachment used here are mentioned.

[0023]Next, a camfering process (S104) is given. namely, the peripheral part of a silicon wafer — the grinding stone for metal camfering of #600 — predetermined shape — oh, a \*\* side is picked. Thereby, the peripheral part of a silicon wafer is fabricated by the shape (for example, MOS type chamfered shape) which is tinged with a predetermined radius of circle.

[0024]Wrapping with a silicon wafer light only at the rear face after camfering is performed (S105). This process is performed by the one side lap device of single wafer processing which processes one silicon wafer at a time. As this one side lap device, the thing possessing the wafer retainer board by which a silicon wafer is held, and its lapping machine arranged caudad, etc. are mentioned, for example to a rear face. At the time of a \*\*\*\*\* lap, force the rear face of the silicon wafer held at the wafer retainer board on a lapping machine, and in this state. Supplying the lap liquid which is a mixture of an alumina abrasive grain, a dispersing agent, and water to a lapping machine, a lapping machine and/or a wafer retainer board are rotated, and a wafer rear face is wrapped mechanically. Thereby, predetermined satin finish is performed to a wafer rear face. A lap amount is 2 micrometers and a working damage is 1 micrometer or less.

[0025]Then, alkali \*\* H is performed to the silicon wafer after this \*\*\*\*\* lap (S106). Specifically, it is carried out with the etching temperature of 80 \*\*, using KOH or a NaOH solution 40% as an alkaline etching reagent. The etching quantity at this time is 2 micrometers and 4 micrometers in all of surface and rear surfaces on wafer one side.

[0026]Then, a silicon wafer is washed and it heat-treats to a silicon wafer (S107). (WHT) That is, a silicon wafer is thrown into a diffusion furnace and 650 \*\* is heat-treated for 15 minutes within this furnace. Under the present circumstances, the controlled atmosphere in a furnace is nitrogen gas.

[0027]Next, PCR processing of the peripheral part of the silicon wafer after this WHT heat treatment is carried out (S108). A well-known PCR processing device is used at the time of this processing. That is, the device to which motor revolving of the urethane buff of cylindrical shape is carried out here is adopted. A urethane buff is rotated by a motor and the peripheral face of a silicon wafer is contacted to the buff peripheral face under this rotation. Thereby, mirror finish of this wafer peripheral face is carried out.

[0028]Then, the mirror-polishing device of a batch type is used for the surface of this silicon wafer, and mirror polishing is given (S109). The polishing quantity at this time is about 5 micrometers. This is small compared with conventional 12 micrometers. And a finishing washing process (S110) is given. Specifically, it is considered as washing of an RCA system.

[0029]In this way, the manufactured silicon wafer is a high flatness wafer of 0.4 micrometer or less in SBIR. and — comparing with the conventional manufacturing method — the amount of surface lapping of a silicon wafer — if it lengthens, all the processing machining allowances can be decreased. That is, all the processing machining allowances by the manufacturing method of the silicon wafer of this one example were 132 micrometers in the conventional manufacturing method to 92 micrometers. Since it

was made to perform \*\*\*\*\* lapping operation and a mirror-polishing process using the \*\*\*\*\* lap device or mirror-polishing device of single wafer processing, full automation of manufacture of a silicon wafer can be attained.

[0030]

[Effect of the Invention]In this invention, the conventional processing machining allowance does not give a large double-sided lap to the semiconductor wafer after a slice, Finishing both head grinding of both the head grinding operation, especially a low damage is given, and the high flatness state of the wafer surface and rear surface moreover obtained by this head grinding of finishing both is maintained at the \*\*\*\*\* lapping operation of a post process, and an alkali \*\* dirty process, and it was made to perform mirror polishing of the wafer surface.

Therefore, high flatness-ization of a semiconductor wafer can be attained and, moreover, the amount of surface lapping and by extension, all the processing machining allowances of a semiconductor wafer can be decreased.

[0031]Since the \*\*\*\*\* lap device of \*\*\*\*\* lapping operation and the mirror-polishing device of the mirror-polishing process were especially used as the device of single wafer processing, respectively according to the invention according to claim 5, perfect automation of the whole manufacturing process of a semiconductor wafer can be attained.

---

[Translation done.]

(19) 日本国特許庁 (J P)

## (12) 公開特許公報 (A)

(11) 特許出願公開番号  
特開2001-196341  
(P2001-196341A)

(43) 公開日 平成13年7月19日 (2001.7.19)

(51) Int.Cl. <sup>7</sup>	識別記号	F I	テーマコード* (参考)
H 0 1 L 21/304	6 3 1	H 0 1 L 21/304	6 3 1 5 F 0 4 3
	6 2 1		6 2 1 A
			6 2 1 B
21/306		21/306	M
			B
審査請求 未請求 請求項の数 7 O L (全 6 頁)			

(21) 出願番号 特願2000-2910(P2000-2910)

(22) 出願日 平成12年1月11日 (2000.1.11)

(71) 出願人 000228925

三菱マテリアルシリコン株式会社

東京都千代田区大手町一丁目5番1号

(72) 発明者 原田 晴司

東京都千代田区大手町1丁目5番1号 三

菱マテリアルシリコン株式会社内

(74) 代理人 100094215

弁理士 安倍 逸郎

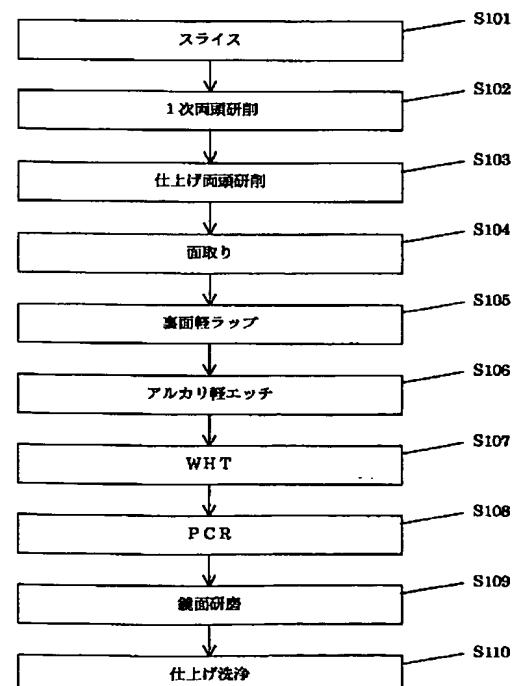
Fターム(参考) 5F043 AA02 BB02 DD16 FF07

## (54) 【発明の名称】 半導体ウェーハの製造方法

## (57) 【要約】

【課題】 高平坦度化が図れ、しかもウェーハ表面の研磨量、引いては全加工取り代を減少させる半導体ウェーハの製造方法を提供する。

【解決手段】 仕上げ両面研削工程で、シリコンウェーハの表裏両面を低ダメージ用の研削砥石を用いて低ダメージ研削する。これにより、ウェーハ表裏面が高平坦度となる。その後、裏面軽ラップ工程でウェーハ裏面を梨地面とし、次のアルカリ軽エッチ工程でアルカリ性エッチング液により軽エッチする。よって、この高平坦度状態はエッチ後も維持され、後の鏡面研磨工程での研磨量が減少し、製品は高平坦度ウェーハとなる。また、これらの比較的加工ダメージが小さく加工取り代も少ない工程でウェーハを製造するので、ウェーハの全加工取り代も減少させることができる。





【特許請求の範囲】

【請求項1】 スライスされた半導体ウェーハの表裏両面に同時に研削を施す両頭研削工程と、  
両頭研削工程の後、半導体ウェーハの裏面に軽くラッピング加工を施して、半導体ウェーハの裏面を梨地面とする裏面軽ラップ工程と、  
裏面軽ラップ工程の後、アルカリ性エッチング液により半導体ウェーハを軽くエッチングするアルカリ軽エッチ工程と、  
アルカリ軽エッチ工程の後、半導体ウェーハの表面を鏡面研磨する鏡面研磨工程とを備えた半導体ウェーハの製造方法。

【請求項2】 上記両頭研削工程が、半導体ウェーハの表裏両面に比較的粗い研削を行なう1次両頭研削と、低ダメージ用の研削砥石を用いて低ダメージの研削を行う仕上げ両頭研削とからなる請求項1に記載の半導体ウェーハの製造方法。

【請求項3】 上記1次両頭研削が、#300～#600の研削砥石を用いて行なわれる請求項2に記載の半導体ウェーハの製造方法。

【請求項4】 上記仕上げ両頭研削が、#2000～#4000のレジノイド研削砥石を用いて行なわれる請求項2または請求項3に記載の半導体ウェーハの製造方法。

【請求項5】 上記裏面軽ラップ工程が枚葉式のラップ装置を用いて行なわれ、上記鏡面研磨工程が枚葉式の研磨装置を用いて行なわれる請求項1～請求項4のうちのいずれか1項に記載の半導体ウェーハの製造方法。

【請求項6】 上記裏面軽ラップ工程では、半導体ウェーハの裏面を2～3 $\mu$ mの厚さだけラッピングする請求項1～請求項5のうちのいずれか1項に記載の半導体ウェーハの製造方法。

【請求項7】 上記アルカリ軽エッチ工程が、半導体ウェーハを片面で2～3 $\mu$ mだけエッチングする工程である請求項1～請求項6のうちのいずれか1項に記載の半導体ウェーハの製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 この発明は半導体ウェーハの製造方法、詳しくは両頭研削加工を含み、高平坦度で、ウェーハ加工取り代が少ない半導体ウェーハの製造方法に関する。

【0002】

【従来の技術】 従来のシリコンウェーハの製造方法を図2のフローチャートを参照して説明する。まず、スライス工程(S201)では、インゴットからシリコンウェーハをスライスする。次の面取り工程(S202)では、このシリコンウェーハの外周部に面取り加工を施す。続くラッピング工程(S203)においては、ラップ盤によりそのシリコンウェーハの表裏両面にラップ加

工を施す。この場合、通常、片面で40 $\mu$ m、両面で80 $\mu$ m程度をラッピングする。

【0003】そして、次の酸エッチング工程(S204)では、ラップドウェーハを所定の酸性エッチング液(例えば混酸)に浸漬し、そのラップ加工での歪み、面取り工程での歪みなどを除去する。エッチング量は、通常、片面で20 $\mu$ m、両面で40 $\mu$ m程度をエッチングする。その後、シリコンウェーハにドナーキラー熱処理の一種であるWHT(WaferHeat Treatment)工程(S205)を施す。続いて、シリコンウェーハの外周部を鏡面仕上げするPCR工程を行なう(S206)。それから、このシリコンウェーハをワックスを用いて研磨盤に接着し、ウェーハ表面に鏡面研磨を施す(S207)。このときの研磨量は12 $\mu$ m程度である。そして、シリコンウェーハの裏面に付着したワックスなどを除去した後、最終の仕上げ洗浄工程(S208)を経る。なお、上記鏡面研磨はワックスレスで行うこともある。

【0004】

【発明が解決しようとする課題】 しかしながら、このような従来のシリコンウェーハの製造方法にあつては、前述したように、シリコンウェーハのラッピング後、混酸を使って酸エッチングを行っていた。酸エッチングはシリコンウェーハとの反応性が高く、エッチング速度が比較的速いという利点を有する一方、エッチング中に多量の気泡が発生し、その影響でウェーハ表面に比較的大きなうねりが発生したり、ウェーハ外周部に比較的大きなダレが発生してしまい、これらが平坦度を低下させていた。そのため、研磨工程では、この平坦度を高めるため、そのうねりやダレの分を研磨しなければなら、ウェーハ表面の研磨量が12 $\mu$ m程度と大きくなり、研磨にかかる時間が長くなっていた。しかも、従来の研磨による平坦度は、サイト平坦度、例えば25mm×25mmの面積をもつサイトで裏面基準の高さの差(SBIR)において、0.4 $\mu$ m程度であつた。

【0005】しかも、シリコンウェーハの各加工時の取り代は、それぞれ片面で、ラップ量40 $\mu$ m、酸エッチング量20 $\mu$ m、研磨量12 $\mu$ mであつて、その全加工取り代は132 $\mu$ m程度と比較的大きかった。また、通常、ラップ工程および研磨工程で用いられるラッピング装置および研磨装置は、いずれも多数枚のシリコンウェーハを一括して加工するバッチ式の装置であつた。このバッチ式では、作業者の手作業により、複数枚のシリコンウェーハをキャリアプレートのウェーハ装着孔に組み込まなければならない。その結果、この半導体ウェーハのすべての製造工程を流れ作業的に自動化することができなかった。

【0006】

【発明の目的】 この発明は、高平坦度化が図れ、しかもウェーハ表面の研磨量、ひいては全加工取り代を減少さ

せることができる半導体ウェーハの製造方法を提供することを、その目的としている。また、この発明は、半導体ウェーハ製造の完全自動化が可能な半導体ウェーハの製造方法を提供することを、その目的としている。

【0007】

【課題を解決するための手段】請求項1に記載の発明は、スライスされた半導体ウェーハの表裏両面に同時に研削を施す両頭研削工程と、両頭研削工程の後、半導体ウェーハの裏面に軽くラッピング加工を施して、半導体ウェーハの裏面を梨地面とする裏面軽ラップ工程と、裏面軽ラップ工程の後、アルカリ性エッチング液により半導体ウェーハを軽くエッチングするアルカリ軽エッチ工程と、アルカリ軽エッチ工程の後、半導体ウェーハの表面を鏡面研磨する鏡面研磨工程とを備えた半導体ウェーハの製造方法である。

【0008】両頭研削工程は、低ダメージの仕上げ両頭研削だけでも、1次両頭研削と仕上げ両頭研削とから構成されていてもよい。さらに、1次両頭研削と仕上げ両頭研削との間に2次研削を追加してもよい。例えば、日平トヤマ(株)製の両頭研削装置を用いることができる。この装置は、#2000の砥粒をメタルボンドした研削砥石を備え、80 $\mu$ m以上の研削を行うものである。この両頭研削での研削ダメージは例えば2 $\mu$ m以下とする。ダメージが大きいと、後の鏡面研磨工程での研磨量が増大する。この研磨量が10 $\mu$ mを超えると、比較的高平坦度の半導体ウェーハでも、ウェーハ表面のGBIRが低下するおそれがある。これは、表面が高平坦度のシリコンウェーハをさらに研磨していった場合、その研磨量が約10 $\mu$ mを超えたところで平坦度が低下するためである。

【0009】仕上げ両頭研削の研削量は、通常、表裏両面で20 $\mu$ m程度である。この仕上げ研削に使用される仕上げ用の両頭研削装置としては、例えば反転式両頭研削装置、両面同時研削装置などを採用することができる。組み込まれる研削砥石としては、例えば、良質の合成樹脂を結合剤としてダイヤモンド砥粒を結合したレジノイド研削砥石を採用することができる。ただし、この仕上げ両頭研削では、ウェーハ表面があれにくく、しかも非ダメージ面であるウェーハ表面でも研削することができる高番手の研削砥石を用いた方がよい。例えば#1000～#8000のレジノイド研削砥石を使用することができる。研磨前に低ダメージ研削を行うため、この研削後のウェーハ表面では高平坦度を得ることができる。さらには、研磨量を少なくできることから、高スループットを得ることができる。

【0010】ここでの裏面軽ラップとは、従来のラップ量(片面40 $\mu$ m)よりもラップ量が少ないウェーハ裏面のラッピングを意味する。ただし、このラップ量は限定されない。また、この裏面軽ラップにより現出される梨地面の平坦度も限定されない。ここでの加工ダメー

ジは3 $\mu$ m以下、好ましくは1 $\mu$ m以下である。また、アルカリ軽エッチ工程用のアルカリ性エッチング液としては、例えばKOH、NaOHなどが挙げられる。なお、このアルカリ軽エッチ工程後に、酸素ドナーを消去するための熱処理工程(WHT工程など)および面取り面を鏡面化させるためのPCR工程を加えてもよい。熱処理工程での熱処理条件としては、例えば加熱温度600～1100℃、加熱時間5～900secが挙げられる。雰囲気ガスには、クリーンエア、酸素、窒素などを採用することができる。また、PCR加工装置としては、例えば円筒形状のウレタンバフを回転させ、この回転中のバフ外周面に、保持板に吸着・保持された半導体ウェーハの外周面を接触させて、この外周面を鏡面加工するものなどを採用することができる。

【0011】また、鏡面研磨工程での研磨量は限定されない。通常は、従来の片面12 $\mu$ m、両面で24 $\mu$ mよりも小さくなる。使用される研磨布としては、例えば硬質発泡ウレタンフォームパッド、不織布にウレタン樹脂を含浸・硬化させたパッドなどが挙げられる。なお、ここでの半導体ウェーハの表裏面が高平坦度であるということは、サイト平坦度、例えば25mm×25mmの面積をもつサイトで裏面基準の高さの差(SBIR)において0.4 $\mu$ m以下であることを意味する。

【0012】請求項2に記載の発明は、上記両頭研削工程が、半導体ウェーハの表裏両面に比較的粗い研削を行なう1次両頭研削と、低ダメージ用の研削砥石を用いて低ダメージの研削を行う仕上げ両頭研削とからなる請求項1に記載の半導体ウェーハの製造方法である。1次両頭研削での研削量は、通常、60～80 $\mu$ mである。1次両頭研削用の両頭研削装置としては、例えば反転式両頭研削装置などを使用することができる。この両頭研削装置に組み込まれる研削砥石の種類およびその番手は限定されない。

【0013】請求項3に記載の発明は、上記1次両頭研削が、#300～#600の研削砥石を用いて行なわれる請求項2に記載の半導体ウェーハの製造方法である。例えばメタルボンド研削砥石が用いられる。#300未満では加工ダメージが大きすぎる。また、#600を超えると砥石の目詰まりが生じる。

【0014】請求項4に記載の発明は、上記仕上げ両頭研削が、#2000～#4000のレジノイド研削砥石を用いて行なわれる請求項2または請求項3に記載の半導体ウェーハの製造方法である。#2000未満では加工ダメージが大きすぎる。また、#4000を超えると砥石の目詰まりが生じる。仕上げ両頭研削用の砥石としては、例えばディスコ株式会社製の#1500～#3000のレジノイド研削砥石が挙げられる。例えば製品名「IF-01-1-4/6-B-M01」のレジノイドの#2000の高番手の研削砥石を用いることができる。

【0015】請求項5に記載の発明は、上記裏面軽ラップ工程が枚葉式のラップ装置を用いて行なわれ、上記鏡面研磨工程が枚葉式の研磨装置を用いて行なわれる請求項1～請求項4のうちのいずれか1項に記載の半導体ウェーハの製造方法である。片面ラップ盤の枚葉タイプを用いることが可能である。

【0016】請求項6に記載の発明は、上記裏面軽ラップ工程では、半導体ウェーハの裏面を2～3 $\mu$ mの厚さだけラッピングする請求項1～請求項5のうちのいずれか1項に記載の半導体ウェーハの製造方法である。2 $\mu$ m未満では砥削ダメージが残る。また、3 $\mu$ mを超えると平坦度が悪化する。

【0017】請求項7の発明は、上記アルカリ軽エッチ工程が、半導体ウェーハを片面で2～3 $\mu$ mだけエッチングする工程である請求項1～請求項6のうちのいずれか1項に記載の半導体ウェーハの製造方法である。2 $\mu$ m未満では加工ダメージが残る。また、3 $\mu$ mを超えるとピットが大きくなるという若干の不都合が生じる。

【0018】

【作用】この発明によれば、両頭研削工程のうち、最終的な仕上げ両頭研削を、低ダメージ用の研削砥石による低ダメージの研削として行なう。これにより、従来の表裏両面のラップ加工後の半導体ウェーハに比べてウェーハ表裏面が高平坦度となる。その後、裏面軽ラップ工程で裏面を梨地面に加工し、次いで高いエッチング精度が得られるアルカリ性エッチング液を用いて軽度のエッチングを行なう。アルカリエッチングは、従来の酸エッチングに比べてエッチング面があれにくいので、半導体ウェーハの高い平坦度状態がエッチング後も保持される。これにより、その後工程である鏡面研磨工程でのウェーハ表面の研磨量が減少するとともに、半導体ウェーハの高平坦度化を図ることができる。また、このように順次、両頭研削、裏面軽ラッピングおよびアルカリ軽エッチングおよび鏡面研磨という、比較的加工ダメージが小さくて加工取り代も少なくなる工程を施して半導体ウェーハを製造するようにしたので、従来の両面ラッピング、酸エッチングおよび鏡面研磨という、比較的加工ダメージが大きくて加工取り代も大きくなる工程を施す方法と比較して、半導体ウェーハの全加工取り代を減少させることができる。

【0019】特に、請求項5に記載の発明によれば、裏面軽ラップ工程および鏡面研磨工程を、それぞれ半導体ウェーハを1枚ずつ加工する枚葉式の裏面軽ラップ装置または枚葉式の研磨装置により行なう。これにより、従来の汎用品であるバッチ式装置では操作の一部に、半導体ウェーハをキャリアプレートへ組み込む手作業が必要であった点を完全に解決することができる。その結果、半導体ウェーハの製造の完全自動化が可能になる。

【0020】

【発明の実施の形態】以下、この発明の実施例を図面を

参照して説明する。図1は、この発明の一実施例に係る半導体ウェーハの製造方法を示すフローチャートである。図1に示すように、この実施例にあっては、スライス、1次両頭研削、仕上げ両頭研削、面取り、裏面軽ラップ、アルカリ軽エッチ、WHT（熱処理）、PCR、鏡面研磨、仕上げ洗浄の各工程を経て、半導体ウェーハが作製される。以下、各工程を詳細に説明する。

【0021】CZ法により引き上げられたシリコンインゴットは、スライス工程（S101）で、厚さ860 $\mu$ m程度の8インチのシリコンウェーハにスライスされる。次に、このスライسدウェーハは、1次両頭研削工程（S102）で、#600番のメタルボンド研削砥石を備えた1次両頭研削装置により、あらく両頭研削される。このときの研削量はウェーハ片面で40 $\mu$ m、表裏面を合わせて80 $\mu$ m程度である。この1次両頭研削装置としては、片面ごとに研削する反転式両頭研削装置または両面同時に研削する両面同時研削装置などが挙げられる。

【0022】その後、仕上げ両頭研削工程が行なわれる（S103）。具体的には、#2000番のレジノイド研削砥石を搭載した仕上げ両頭研削装置により、綿密に両頭研削される。このときの研削量は片面で10 $\mu$ m、表裏面を合わせて20 $\mu$ m程度である。なお、加工ダメージは1～2 $\mu$ m程度である。ここで用いられる仕上げ両頭研削装置としては、片面ごとに仕上げ研削する反転式両頭研削装置または両面同時に仕上げ研削する両面同時研削装置などが挙げられる。

【0023】次に、面取り工程（S104）が施される。すなわち、シリコンウェーハの外周部が#600のメタル面取り用砥石により、所定の形状にあらく面取りされる。これにより、シリコンウェーハの外周部は、所定の丸みを帯びた形状（例えばMOS型の面取り形状）に成形される。

【0024】面取り後のシリコンウェーハは、その裏面だけに軽いラッピングが施される（S105）。この工程は、シリコンウェーハを1枚ずつ処理する枚葉式の片面ラップ装置により行なわれる。この片面ラップ装置としては、例えば裏面にシリコンウェーハが保持されるウェーハ保持板と、その下方に配置されるラップ盤とを具備したものなどが挙げられる。裏面軽ラップ時には、ウェーハ保持板に保持されたシリコンウェーハの裏面をラップ盤上に押し付け、この状態で、ラップ盤にアルミナ砥粒と分散剤と水の混合物であるラップ液を供給しながら、ラップ盤および／またはウェーハ保持板を回転させて、ウェーハ裏面を機械的にラッピングする。これにより、ウェーハ裏面に所定の梨地加工が施される。ラップ量は2 $\mu$ mであり、加工ダメージは1 $\mu$ m以下である。

【0025】続いて、この裏面軽ラップ後のシリコンウェーハに、アルカリ軽エッチが行なわれる（S106）。具体的には、アルカリ性エッチング液として、4

0% KOHもしくはNaOH溶液を用い、エッチング温度80℃で行なわれる。このときのエッチング量はウェーハ片面で2μm、表裏面合わせて4μmである。

【0026】その後、シリコンウェーハを洗浄し、それからシリコンウェーハに熱処理（WHT）を施す（S107）。すなわち、シリコンウェーハを拡散炉に投入し、この炉内で650℃、15分間熱処理する。この際、炉内の雰囲気ガスは窒素ガスである。

【0027】次に、このWHT熱処理後のシリコンウェーハの外周部をPCR加工する（S108）。この加工時には、周知のPCR加工装置が用いられる。すなわち、ここでは円筒形状のウレタンバフをモータ回転させる装置が採用されている。モータによりウレタンバフを回転させ、この回転中のバフ外周面にシリコンウェーハの外周面を接触させる。これにより、このウェーハ外周面が鏡面仕上げされる。

【0028】その後、このシリコンウェーハの表面にパッチ式の鏡面研磨装置を用いて、鏡面研磨が施される（S109）。このときの研磨量は5μm程度である。これは、従来の12μmに比べて少ない。そして、仕上げ洗浄工程（S110）を施す。具体的には、RCA系の洗浄とする。

【0029】こうして製造されたシリコンウェーハは、SBI Rで0.4μm以下の高平坦度ウェーハである。しかも、従来の製造方法に比べて、シリコンウェーハの表面の研磨量、ひいては全加工取り代を減少させることができる。すなわち、この一実施例のシリコンウェーハ

の製造方法による全加工取り代が92μmに対して、従来の製造方法では132μmであった。また、裏面軽ラップ工程および鏡面研磨工程を、枚葉式の裏面軽ラップ装置または鏡面研磨装置を用いて行なうようにしたので、シリコンウェーハの製造の完全自動化を図ることができる。

#### 【0030】

【発明の効果】この発明によれば、スライス後の半導体ウェーハに対して、従来の加工取り代が大きい両面ラップを施すのではなく、両頭研削工程、特に低ダメージの仕上げ両頭研削を施し、しかもこの仕上げ両頭研削によって得たウェーハ表裏面の高平坦度状態を、後工程の裏面軽ラップ工程およびアルカリ軽エッチ工程で維持し、それからウェーハ表面の鏡面研磨を行なうようにしたので、半導体ウェーハの高平坦度化が図れ、しかも半導体ウェーハの表面の研磨量、ひいては全加工取り代を減少させることができる。

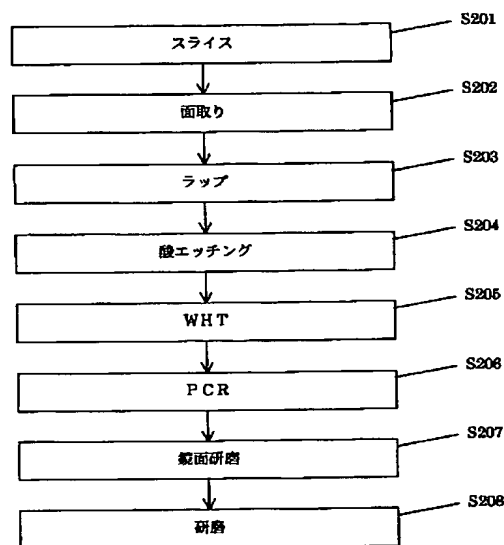
【0031】特に、請求項5に記載の発明によれば、裏面軽ラップ工程の裏面軽ラップ装置および鏡面研磨工程の鏡面研磨装置を、それぞれ枚葉式の装置としたので、半導体ウェーハの製造工程全体の完全な自動化を図ることができる。

#### 【図面の簡単な説明】

【図1】この発明の一実施例に係る半導体ウェーハの製造方法を示すフローチャートである。

【図2】従来手段に係る半導体ウェーハの製造方法を示すフローチャートである。

【図2】



【図 1】

